

Docket No.: 67161-077

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Yasushi NAKASHIMA, et al. :
Serial No.: : Group Art Unit:
Filed: July 25, 2003 : Examiner:
For: SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-026968, filed February 4, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 25, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-077
Yasushi Nakashima,
et al
July 25, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月 4日

出 願 番 号

Application Number:

特願2003-026968

[ST.10/C]:

[JP2003-026968]

出 願 人

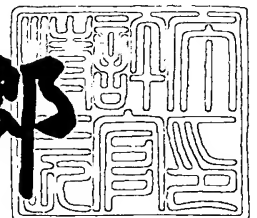
Applicant(s):

三菱電機株式会社

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011961

【書類名】 特許願

【整理番号】 541903JP01

【提出日】 平成15年 2月 4日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/40

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 中嶋 泰

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 井筒 隆

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 石垣 佳之

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100064746

 【弁理士】

 【氏名又は名称】 深見 久郎

【選任した代理人】

 【識別番号】 100085132

 【弁理士】

 【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成され、ドライバ MOS (Metal Oxide Semiconductor) トランジスタと負荷素子とをそれぞれ含む 1 対のインバータと、アクセス MOS トランジスタとを有するメモリセルと、

前記アクセス MOS トランジスタ、前記ドライバ MOS トランジスタおよび前記負荷素子を覆う層間絶縁膜と、

前記層間絶縁膜上に形成され、前記アクセス MOS トランジスタのドレイン、前記ドライバ MOS トランジスタのドレインおよび前記負荷素子と電氣的に接続される容量素子とを備え、

前記アクセス MOS トランジスタのゲート幅に対し、前記ドライバ MOS トランジスタのゲート幅が 1. 2 倍以下である、半導体記憶装置。

【請求項 2】 ワード線と、該ワード線の延在方向と直交する方向に延びる 1 対のビット線とをさらに備え、

前記ドライバ MOS トランジスタのゲートを前記ワード線の延在方向と同方向に延在させた、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記ドライバ MOS トランジスタのゲートを、前記ワード線の延在方向に隣接する他のメモリセル内に延在させる、請求項 2 に記載の半導体記憶装置。

【請求項 4】 1 対の接地線をさらに備え、

前記接地線間に前記 1 対のビット線を配置し、前記接地線を前記ビット線と同方向に延在させた、請求項 2 または請求項 3 に記載の半導体記憶装置。

【請求項 5】 前記負荷素子は、薄膜トランジスタを含み、

前記薄膜トランジスタは、ゲート電極として機能する第 1 導電層と、ソース領域、チャネル領域およびドレイン領域を含む第 2 導電層とを有し、

前記第 1 導電層の平面形状を略三角形とし、

前記第 2 導電層の平面形状を屈曲形状とした、請求項 1 から請求項 4 のいずれかに記載の半導体記憶装置。

【請求項 6】 前記負荷素子は、薄膜トランジスタを含み、
前記容量素子は、絶縁膜を介して対向する第 1 および第 2 電極を有し、
前記第 1 電極を前記薄膜トランジスタのゲート電極として機能させる、請求項 1 から請求項 5 のいずれかに記載の半導体記憶装置。

【請求項 7】 前記負荷素子は、薄膜トランジスタを含み、
前記薄膜トランジスタのゲート電極の平面形状と、前記容量素子の平面形状とを同形状とした、請求項 1 から請求項 6 のいずれかに記載の半導体記憶装置。

【請求項 8】 1 対のビット線をさらに備え、
前記ビット線の寄生容量と前記メモリセルの容量との比が 8 以下である、請求項 1 から請求項 7 のいずれかに記載の半導体記憶装置。

【請求項 9】 ビット線と接地線とをさらに備え、
前記ビット線と前記アクセス MOS トランジスタとのコンタクト部の抵抗値を、前記ドライバ MOS トランジスタと前記接地線とのコンタクト部の抵抗値よりも大きくする、請求項 1 から請求項 8 のいずれかに記載の半導体記憶装置。

【請求項 10】 前記容量素子の容量が 10 p F 以上 30 p F 以下である、請求項 1 から請求項 9 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、半導体記憶装置におけるメモリセルにおける各要素のレイアウトに関する。

【0002】

【従来の技術】

従来から、半導体記憶装置として DRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) は知られている。

【0003】

DRAM は、1 つの MOS (Metal Oxide Semiconductor) トランジスタと 1 つのキャパシタとで構成されるメモリセルを有する半導体記憶装置である。このようにメモリセルの構造が単純であることから、半導体デバイスの高集積化・大

容量化に最適なものとして、様々な電子機器において使用されている。

【0004】

S R A Mは、通常2つのアクセスM O Sトランジスタと、2つのドライバM O Sトランジスタと、2つのロードM O Sトランジスタあるいは抵抗素子とを有するメモリセル備える。このS R A Mのメモリセルの構造例が、たとえば特開平6-291281号公報、特開平7-161840号公報、特開昭62-257698号公報に開示されている。

【0005】

また、D R A Mのメモリセルを用いS R A Mと同じインタフェースを有する擬似S R A Mというものもある。

【0006】

【特許文献1】

特開平6-291281号公報

【0007】

【特許文献2】

特開平7-161840号公報

【0008】

【特許文献3】

特開昭62-257698号公報

【0009】

【発明が解決しようとする課題】

しかし、D R A Mでは記憶保持のためにリフレッシュ動作が必要であり、リフレッシュされているメモリセルへ書込みや読出しはできない。そのため、書込みや読出しを行いたいメモリセルがリフレッシュ中の場合、リフレッシュが完了するまで書込みや読出し動作を一時中断する必要がある。また、リフレッシュ動作のために消費される電流が大きいため、記憶内容を電池等で保持する場合、保持できる時間がS R A Mに比較して短くなる。

【0010】

S R A Mの場合、リフレッシュ動作は不要であるが、1つのメモリセルを構成

するMOSトランジスタ等の要素の数がDRAMよりも多いので、1つのメモリセルの占有面積がDRAMと比較して大きくなる。そのため、大容量化が難しく、DRAMと比較すると1ビットに対するコスト（ビットコスト）が高くなる。

【0011】

他方、擬似SRAMは、DRAMのメモリセルを用いているので、大容量化が可能となるが、リフレッシュ動作は必要となる。セルフリフレッシュ機能を用いることにより外部からのリフレッシュ動作を不要とすることはできるが、書込み、読出し動作中にリフレッシュ動作を行う必要はある。そのため、1サイクル内に書込みおよび読出し動作のための期間と、リフレッシュ動作の期間とが存在することとなり、通常のSRAMと比較してサイクルタイムが長くなる。また、リフレッシュ電流が流れるため、通常のSRAMよりも消費電流が増大し、電池によるデータ保持期間が短くなる。

【0012】

以上のように、DRAM、SRAM、擬似SRAMにはそれぞれ固有の問題があった。そこで本発明は、リフレッシュ動作が不要で、サイクルタイムと消費電流が通常のSRAMと同等であり、かつメモリセルの占有面積を通常のSRAMよりも小さくすることができる半導体記憶装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、メモリセルと、層間絶縁膜と、容量素子とを備える。メモリセルは、半導体基板上に形成され、ドライバMOS（Metal Oxide Semiconductor）トランジスタおよび負荷素子をそれぞれ含む1対のインバータと、アクセスMOSトランジスタとを有する。層間絶縁膜は、アクセスMOSトランジスタ、ドライバMOSトランジスタおよび負荷素子を覆う。容量素子は、層間絶縁膜上に形成され、アクセスMOSトランジスタのドレイン、ドライバMOSトランジスタのドレインおよび負荷素子と電氣的に接続される。そして、アクセスMOSトランジスタのゲート幅に対し、ドライバMOSトランジスタのゲート幅が1.2倍以下である。

【0014】

【発明の実施の形態】

以下、図1～図15を用いて、本発明の実施の形態について説明する。

【0015】

(実施の形態1)

図1は、本発明の実施の形態1における半導体記憶装置のメモリセルの等価回路図である。該半導体記憶装置は、メモリセルが形成されるメモリセルアレイ領域と、メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域とを備える。

【0016】

メモリセルは、図1に示すように、第1と第2インバータと、2つのアクセスnMOSトランジスタ1, 2とを有する。第1インバータは、第1ドライバnMOSトランジスタ3と第1TFT (p型の薄膜トランジスタ: Thin Film Transistor) 7とを含み、第2インバータは、第2ドライバnMOSトランジスタ4と第2TFT 8とを含む。

【0017】

第1インバータと第2インバータは互いの入力と出力とを接続したフリップフロップを形成し、フリップフロップの第1記憶ノード9に第1アクセスnMOSトランジスタ1のドレインが接続され、フリップフロップの第2記憶ノード10に第2アクセスnMOSトランジスタ2のドレインが接続される。

【0018】

第1および第2アクセスnMOSトランジスタ1, 2のゲートは、ワード線(WL) 15に接続され、第1および第2アクセスnMOSトランジスタ1, 2のソースはビット線(BL) 16, ビット線(/BL) 17と接続される。また、第1と第2TFT 7, 8のソースは、電源(Vdd)と接続され、第1および第2TFT 7, 8のドレインは第1と第2記憶ノード9, 10とそれぞれ接続される。第1および第2ドライバnMOSトランジスタ3, 4のソースは接地線(GND線)と接続され、第1および第2ドライバnMOSトランジスタ3, 4のドレインは第1と第2記憶ノード9, 10とそれぞれ接続される。

【0019】

そして、第1と第2記憶ノード9, 10に、第1と第2容量素子（キャパシタ）5, 6をそれぞれ接続している。また、第1および第2アクセスnMOSトランジスタ1, 2のゲート長およびゲート幅を、第1および第2ドライバnMOSトランジスタ3, 4のそれとほぼ等しくしている。

【0020】

なお、図1において、電位 V_{cp} は、後述するキャパシタの対向電極（上部電極）の電位であり、本実施の形態では、 V_{dd} 電位の $1/2$ の電位を与える。しかし、電位 V_{cp} は V_{dd} と同レベルであってもよく、GNDレベルであってもよい。

【0021】

通常のSRAMでは、アクセストランジスタのサイズとドライバトランジスタのサイズを等しくすると、読出し動作時にビット線からアクセストランジスタを介して記憶ノードに流れ込む電流により、記憶ノードの電位が、該記憶ノードを入力とするもう一方のインバータの反転閾値よりも高くなる。そのため、データが破壊されてしまう。

【0022】

よって、アクセストランジスタのサイズとドライバトランジスタのサイズは1:3程度が理想的とされていた。これは、ドライバトランジスタのサイズよりアクセストランジスタのサイズを小さくすることで、記憶ノードに流れ込む電流を少なくしながらドライバトランジスタからGNDへ逃がす電流を多くするためである。

【0023】

したがって、従来のSRAMでは、アクセストランジスタのサイズよりもドライバトランジスタのサイズを大きくする必要があった。このようにドライバトランジスタのサイズを大きくしていたことが、メモリセルサイズの増大の一因となっていた。

【0024】

ところが、本実施の形態における半導体記憶装置のメモリセルでは、上記のようにアクセストランジスタとドライバトランジスタのレイアウトパターン上のサ

イズをほぼ等しくすることができるので、これら双方のトランジスタサイズをプロセスルールに従う最小トランジスタサイズとすることができる。よって、ドライバトランジスタのサイズを従来よりも小さくすることができ、結果としてメモリセル面積を縮小することができる。

【 0 0 2 5 】

上記のようにアクセストランジスタのサイズとドライバトランジスタのサイズとをほぼ等しくするために、本実施の形態では、 $10\text{ pF} \sim 30\text{ pF}$ 程度の容量素子を記憶ノードに接続することや、アクセストランジスタおよび／またはドライバトランジスタと、他の要素とのコンタクト部の抵抗値を適切に調節している。具体的には、たとえばアクセストランジスタとビット線とのコンタクト部の抵抗値を、たとえば $21 \sim 100\text{ k}\Omega$ 程度とし、ドライバトランジスタと接地線（GND線）とのコンタクト部の抵抗値をたとえば $20\text{ k}\Omega$ 以下程度とし、アクセストランジスタとビット線とのコンタクト部の抵抗値の方を大きくしている。

【 0 0 2 6 】

このように容量素子を設けたり、コンタクト抵抗を調節することで、アクセストランジスタのサイズとドライバトランジスタのサイズをほぼ等しくした場合でも、記憶ノードに流れ込む電流量を適切に調節することができ、読出し動作時のデータ破壊を抑制することができる。

【 0 0 2 7 】

なお、トランジスタのサイズは、他のレイアウトパターン、たとえばコンタクトの配置などの影響を受けるので、全く等しくしなくても20%程度の差はあってもよい。また、読出し動作を少しでも安定させる意味では、アクセストランジスタに比べドライバトランジスタのサイズの方が大きくなることが好ましい。

【 0 0 2 8 】

後述するメモリセルパターンにおいては、アクセストランジスタのゲート幅に対しドライバトランジスタのゲート幅が1.2倍としても、メモリセルサイズはほぼ変化しない。また、メモリセルサイズにはゲート長よりゲート幅のサイズの変化の方が影響が大きい。以上より、ドライバMOSトランジスタのゲート幅を、アクセスMOSトランジスタのゲート幅の0.8倍以上1.2倍以下とするこ

とが好ましい。

【0029】

次に、本実施の形態における半導体記憶装置の動作について説明する。

まず、読出し動作について説明する。第2記憶ノード10の電位が接地（GND）レベル、第1記憶ノード9の電位がV_{dd}レベルであるとする。読出し動作は、ビット線（BL）16およびビット線（/BL）17が、プリチャージnMOSトランジスタ12、13およびイコライズnMOSトランジスタ11によって、ともにV_{dd}レベルにプリチャージされる。このときの信号線14のレベルは、ビット線をV_{dd}レベルにするために、V_{dd}にプリチャージnMOSトランジスタ12、13の閾値電圧（V_{th}）を加えたレベル以上となっている。なお、pMOSトランジスタをプリチャージトランジスタやイコライズトランジスタに用いる場合、信号線14のレベルは、V_{dd}レベルであってもよい。

【0030】

次に、プリチャージが完了し、信号線14をGNDレベルとし、ビット線（BL）16およびビット線（/BL）17に電荷の流入流出がない状態になった後に、ワード線15をGNDレベルからV_{dd}より高い電位にチャージする。このときの電位は、V_{dd} + アクセストランジスタの閾値電圧（V_{th}）以上のレベルである。

【0031】

ワード線15が上記電位になると、第2アクセスnMOSトランジスタ2にビット線（/BL）17から電荷が流入する。流入した電荷は、第2容量素子（キャパシタ）6を充電して第2記憶ノード10の電位はGNDレベルから上昇する。

【0032】

そうすると、第2ドライバnMOSトランジスタ4のソース・ドレイン間に電位差が生じ、GND線に電荷の放出が始まる。このときの第2記憶ノード10の電位が、これを入力とする第1TFT7と第1ドライバnMOSトランジスタ3を含むインバータの反転閾値を超えないように、ビット線容量、アクセストランジスタのソース・ドレイン電流値、容量素子の容量、ドライバトランジスタのソ

ース・ドレイン電流値を設定する。

【0033】

たとえば、ビット線容量値を200 fF程度、容量素子の容量を25 fF程度、過渡的にアクセスnMOSトランジスタを流れる電流値の最大値を15 μ A程度、ドライバnMOSトランジスタを流れる電流値の最大値を9 μ A程度とすればよい。

【0034】

また、アクセスnMOSトランジスタに流れる電流値を調節するために、アクセスnMOSトランジスタのソース・ドレインの不純物濃度を意図的に下げ、ソース・ドレインの抵抗値を上昇させることも考えられる。

【0035】

たとえば、リン(P)または砒素(As)を $1 \times 10^{13} \sim 1 \times 10^{14}$ (cm^{-2})程度注入することにより、アクセスnMOSトランジスタのソース・ドレインを形成し、上記注入に加えて、リン(P)または砒素(As)を $1 \times 10^{15} \sim 6 \times 10^{15}$ (cm^{-2})程度注入することによりドライバnMOSトランジスタのソース・ドレインを形成すればよい。

【0036】

他方、反対側の第1記憶ノード9は、ビット線プリチャージ電位がV_{dd}、ワード線15の電位がV_{dd}+閾値電圧(V_{th})であるので、ほぼV_{dd}レベルを保つ。よって、ビット線(BL)16とビット線(/BL)17間に電位差が発生する。この電位差をセンスアンプで増幅することで、メモリセルのデータを読み出すことができる。

【0037】

書込み動作は次のように行われる。第2記憶ノード10の電位がGNDレベル、第1記憶ノード9の電位がV_{dd}レベルであるとする。まず読出し動作時と同様の手法で、ビット線(BL)16およびビット線(/BL)17をV_{dd}レベルにプリチャージする。

【0038】

次に、信号線14をGNDレベルとし、ワード線15をV_{dd}+閾値電圧(V

t h) レベルとする。そして入力ドライバからビット線に書込みデータを出力させる。このとき、第 1 記憶ノード 9 に GND レベル、第 2 記憶ノード 1 0 に V d d レベルを記憶させるには、ビット線 (B L) 1 6 を GND レベル、ビット線 (/ B L) 1 7 を V d d レベルにする。

【 0 0 3 9 】

それにより、第 1 容量素子 5 に蓄積されている電荷をビット線 (B L) 1 6 に引き抜き、第 1 記憶ノード 9 のレベルを、それを入力とする第 2 T F T 8 および第 2 ドライバ n M O S トランジスタ 4 で構成されるインバータの反転閾値よりも下げる。このとき、第 1 T F T 7 から供給される電流量は、第 1 アクセス n M O S トランジスタ 1 を介してビット線 (B L) 1 6 に放電される電流量よりも充分に小さい。

【 0 0 4 0 】

このようにインバータが反転することで、V d d レベルのビット線 (/ B L) 1 7 から第 2 容量素子 6 に向けて充電が始まり、最終的には第 1 記憶ノード 9 が GND レベル、第 2 記憶ノード 1 0 が V d d レベルに充電される。それにより、書込み動作が終了する。

【 0 0 4 1 】

次に、データ保持について説明する。データ保持については、S R A M と同様に、フリップフロップ構造を有することで、データをラッチする。つまり D R A M のようにリフレッシュ動作は不要で、T F T 型 S R A M と同程度の消費電力にてデータを保持することができる。

【 0 0 4 2 】

さらに、記憶ノードに容量素子を接続することで、ソフトエラー耐性を格段に向上することができる。ここで、ソフトエラーとは、パッケージに含まれる U や T h から放出される α 線が半導体基板中を通過することにより発生する電子-正孔対によるノイズで情報破壊が起こり、メモリが誤動作する現象をいう。

【 0 0 4 3 】

次に、読出し時にメモリセルのデータを破壊しない非破壊読出しをする場合の条件について述べる。読出し動作時におけるキャパシタの容量値に対する記憶ノ

ードの最大電位の依存性について図 1 5 を用いて説明する。図 1 5 の横軸および縦軸は、それぞれキャパシタの容量値および記憶ノードの最大電位を表わす。

【 0 0 4 4 】

図 1 5 において菱形印がプロットされた曲線は、ビット線の寄生容量が 180 fF の場合を示し、四角印がプロットされた曲線は、ビット線の寄生容量が 360 fF の場合を示す。また、電源電圧 V_{dd} は 1.6 V であり、 nMOS トランジスタのしきい値電圧 V_{thn} は 1.0 V 程度である。

【 0 0 4 5 】

記憶ノードの最大電位が 1.0 V となるのは、ビット線の寄生容量が 180 fF のときは約 23 fF 、ビット線の寄生容量が 360 fF のときは約 43 fF である。したがって、たとえばビット線の寄生容量が 180 fF のときは容量値が 23 fF よりも大きいキャパシタを設ければ、記憶ノードの電位は nMOS トランジスタのしきい値電圧である 1.0 V を超えることはなく、メモリセルのセル比が 1 であっても、記憶データが反転することなく、また記憶データを破壊することなく読み出すことができる。

【 0 0 4 6 】

最大の電位が 1.0 V とすると、ビット線の寄生容量とメモリセル容量との比は、ビット線の寄生容量が 180 fF のときに約 7.8、ビット線の寄生容量が 360 fF のときに約 8.3 となっている。通常、DRAM のビット線とメモリセルの容量比は 3 前後であるので、これと比べると上記容量比を大きくすることができる。

【 0 0 4 7 】

なお、上記の例では最大の電位を 1.0 V としたが、電源電圧の低電圧化を図る際には、しきい値電圧を低下させることが望ましく、上記最大の電位も低下させることが望ましい。したがって、ビット線の寄生容量とメモリセル容量との比は、8 以下にすることが望ましい。

【 0 0 4 8 】

また、DRAM と異なりラッチ回路をメモリセルに有することから、DRAM の容量比を下回る必要はないので、上記容量比は、3 以上 8 以下とすることが望

ましいと考えられる。このように容量比をDRAMよりも大きくすることができるので、ビット線とメモリセルの容量比の許容範囲が広くなり、ビット線およびメモリセルの設計の自由度が増す。なお、破壊読出しを行なう場合は、容量比が3以上8以下の条件を満たさなくてもよい。

【0049】

次に、本実施の形態における半導体記憶装置のメモリセルの断面構造例について図8を用いて説明する。

【0050】

図8に示すように、シリコン基板等の半導体基板60の主表面に、p型の不純物を導入してpウェル領域61を形成する。このpウェル領域61の表面に選択的に素子分離領域62を形成する。図8の例では、素子分離領域62としてトレンチ分離領域を形成している。

【0051】

素子分離領域62で囲まれる活性領域63の表面上に、アクセスnMOSトランジスタ68、ドライバnMOSトランジスタ69等のMOSトランジスタを形成する。アクセスnMOSトランジスタ68は、1組のn型不純物領域64と、ゲート絶縁膜と、ゲート電極65とを有する。1組のn型不純物領域64は、活性領域63の表面に間隔をあけて形成され、アクセスnMOSトランジスタ68のソースあるいはドレインとなる。

【0052】

ゲート電極65上にはシリコン酸化膜等の絶縁膜が形成され、この絶縁膜およびゲート電極65を覆うようにシリコン窒化膜等よりなる絶縁膜66を形成する。絶縁膜66を覆うように不純物をドーピングしたシリコン酸化膜等で構成される第1層間絶縁膜71を形成する。この第1層間絶縁膜71に、アクセスnMOSトランジスタ68のソースとドレインにそれぞれ達する1組の第1コンタクトホール67と、ドライバnMOSトランジスタ69のゲート電極に達する第2コンタクトホール70とを形成する。

【0053】

第1コンタクトホール67と第2コンタクトホール70内には、タングステン

等の導電材料からなるプラグ部を形成する。一方の第1コンタクトホール67内のプラグ部と、n型不純物領域（ドレイン）64との接続部が記憶ノード90となる。

【0054】

第1層間絶縁膜71上に第2層間絶縁膜72を形成し、この第2層間絶縁膜72貫通するように第3コンタクトホール76を形成する。第3コンタクトホール76内から第2層間絶縁膜72上に、タングステン等からなるビット線77を形成する。

【0055】

ビット線77上に第3層間絶縁膜73を形成する。第3層間絶縁膜73、ビット線77および第2層間絶縁膜72を貫通するように第4コンタクトホール78を形成する。第4コンタクトホール78の内表面上に絶縁膜79を形成する。この絶縁膜79の内側にプラグ部を形成する。したがって、絶縁膜79によってプラグ部とビット線77間を電氣的に絶縁することができる。

【0056】

第3層間絶縁膜73上には、TFTのゲート電極（第1導電層）80を形成する。このゲート電極80上に絶縁膜を介してTFTのソース、ドレインおよびチャネル領域を形成するTFTボディ部（第2導電層）81を形成する。TFTのゲート電極80およびTFTボディ部81を覆うように第4層間絶縁膜74を形成する。

【0057】

この第4層間絶縁膜74に、TFTボディ部81を貫通してTFTのゲート電極80に達する第5コンタクトホール82を形成する。この第5コンタクトホール82内にプラグ部を形成し、該プラグ部によって一方のTFTのゲート電極80と他方のTFTにおけるTFTボディ部81とを電氣的に接続する。

【0058】

第4層間絶縁膜74上に、第5層間絶縁膜75を形成する。この第5層間絶縁膜75に、第4層間絶縁膜74および第5コンタクトホール82内のプラグ部に達するトレンチ83を形成する。

【 0 0 5 9 】

このトレンチ 8 3 内に、容量素子としてのキャパシタを形成する。トレンチ 8 3 の内表面上に、上記プラグ部と電氣的に接続されるようにポリシリコン等からなるキャパシタ下部電極（第 1 電極）8 4 を形成する。キャパシタ下部電極 8 4 の表面に粗面処理を施し、多数の突起を形成する。それにより、キャパシタの表面積を増大することができ、キャパシタ容量を増大することができる。

【 0 0 6 0 】

キャパシタ下部電極 8 4 上にキャパシタ絶縁膜 8 5 を形成し、このキャパシタ絶縁膜 8 5 上に、ポリシリコン等からなるキャパシタ上部電極（第 2 電極）8 6 を形成する。そして、キャパシタ上部電極 8 6 を覆うように保護絶縁膜 8 7 を形成する。

【 0 0 6 1 】

上記のようにビット線 7 7 を T F T の下に配置することにより、T F T およびキャパシタにビット線コンタクトのための領域を設ける必要がなくなる。したがって、T F T およびキャパシタのサイズを大きくすることができる。

【 0 0 6 2 】

また、ビット線 7 7 と同じレイヤ、すなわち第 2 層間絶縁膜 7 2 上に G N D 線も形成されるので、ビット線コンタクトも G N D 線コンタクトもあまり深くない。したがって、コンタクト抵抗を低減することができる。

【 0 0 6 3 】

さらに、T F T をキャパシタの下に配置することにより、キャパシタを信号線が通過するのを回避することができる。したがって、信号線のためにキャパシタサイズが制約を受けることがなく、キャパシタサイズを大きく確保することができる。

【 0 0 6 4 】

次に、本実施の形態における半導体記憶装置のメモリセルにおける各レイヤのパターンレイアウト例について、下層から順に図 2 ～図 7 を用いて説明する。

【 0 0 6 5 】

図 2 に示すように、1 つのメモリセル領域 2 5 内に、第 1 配線パターン 2 0 ～

22と、活性領域パターン23, 24とを形成する。これらのパターンは全てほぼ直線形状であり、長方形に近い単純な形状を有している。第1配線パターン20～22は略平行に延在し、活性領域パターン23, 24は、第1配線パターン20～22の延在方向と略直交する方向に延在し、かつ互いに略平行に配置される。

【0066】

第1配線パターン20, 21がドライバnMOSトランジスタのゲートパターンとなり、第1配線パターン22がワード線およびアクセスnMOSトランジスタのゲートパターンとなる。この第1配線パターン22は、メモリセルの中央に配置される。つまり、ワード線がメモリセルの中央に配置されることとなる。

【0067】

活性領域パターン23, 24は、それぞれドライバnMOSトランジスタのソース領域、チャネル領域およびドレイン領域と、アクセスnMOSトランジスタのソース領域、チャネル領域およびドレイン領域を含む。

【0068】

活性領域パターン23と第1配線パターン20の交差部に一方のドライバnMOSトランジスタが形成され、該交差部の直下に、ドライバnMOSトランジスタのチャネル領域が位置する。活性領域パターン23と第1配線パターン22の交差部に一方のアクセスnMOSトランジスタが形成され、該交差部の直下に、アクセスnMOSトランジスタのチャネル領域が位置する。

【0069】

同様に、活性領域パターン24と第1配線パターン21の交差部に他方のドライバnMOSトランジスタが形成され、該交差部の直下に、ドライバnMOSトランジスタのチャネル領域が位置する。活性領域パターン24と第1配線パターン22の交差部に他方のアクセスnMOSトランジスタが形成され、該交差部の直下に、アクセスnMOSトランジスタのチャネル領域が位置する。

【0070】

上記のように第1配線パターン20～22を同じ方向に延在させることにより、メモリセルをワード線の延在方向に長くすることができる。ビット線はワード

線と直交する方向に延在するので、メモリセルの長さは、ワード線の延在方向よりもビット線の延在方向に短くなる。したがって、上記のレイアウトを採用することにより、1つのメモリセルについてのビット線長を短くすることができる。それにより、1ビットあたりのビット線容量を低減することができ、読出しおよび書込み動作の高速化を図ることができる。

【0071】

センスアンプは、一般に一定のビット線長に対して設置されるが、上記のレイアウトを採用することによりビット線の延在方向におけるメモリセル数を増大することもできるので、センスアンプの数を低減することができる。これに伴い、周辺回路を簡素化することができる。このことも、チップサイズの縮小化に寄与し得る。

【0072】

さらに、ドライバnMOSトランジスタのゲート幅と、アクセスnMOSトランジスタのゲート幅とがほぼ等しいので、活性領域パターン23、24を単純な長方形のパターンとすることができる。そのため、活性領域パターン23、24の形状や形成位置に関する製造上のばらつきを抑制することができ、活性領域パターン23、24を容易かつ高精度に形成することができる。

【0073】

また、すべてのパターンを、メモリセル領域25の中心に関して点対称な位置に配置することができる。それにより、たとえばドライバnMOSトランジスタやアクセスnMOSトランジスタのワード線方向への配置間隔を一定とすることができる。したがって、プロセス上の変動要因が4つのMOSトランジスタに均等に作用し、4つのMOSトランジスタの能力を均等に保持することもできる。

【0074】

また、ワード線の延在方向に隣接するメモリセル内に、ドライバnMOSトランジスタのゲートとなる第1配線パターン20、21が突出している。それにより、MOSトランジスタのオフ電流を低減することができる。それに加え、隣接するメモリセル内の第1配線パターン20、21との間隔を一定に保つことができ、第1配線パターン20、21のパターニング後の仕上り状態を均一に保つこ

とができる。

【 0 0 7 5 】

上述の第 1 配線パターン 2 0 ～ 2 2 および活性領域パターン 2 3, 2 4 よりも上層に、図 3 に示すように、第 1 コンタクトホールパターン（コンタクト部） 2 6 ～ 3 1 と、第 2 コンタクトホールパターン（コンタクト部） 3 2, 2 2 を形成する。

【 0 0 7 6 】

第 1 コンタクトホールパターン 2 6, 2 7 は、ドライバ nMOS トランジスタのソースと上層配線とを接続するコンタクトホールのパターンであり、第 1 コンタクトホールパターン 2 8, 2 9 は、記憶ノードとなる活性領域と上層配線とを接続するコンタクトホールのパターンであり、第 1 コンタクトホールパターン 3 0, 3 1 は、アクセス nMOS トランジスタとビット線とを接続するコンタクトホールのパターンであり、第 2 コンタクトホールパターン 3 2, 2 2 は、ドライバ nMOS トランジスタのゲートと上層配線とを接続するコンタクトホールのパターンである。

【 0 0 7 7 】

第 1 コンタクトホールパターン 2 6 ～ 3 1 は、セルフアラインコンタクトを形成するコンタクトホールのパターンである。セルフアラインコンタクト用のコンタクトホールは、各 MOS トランジスタのゲートに達しないようにゲートに近接して形成され、該コンタクトホール内にプラグ部となるポリシリコンが杭状に埋め込まれる。第 2 コンタクトホールパターン 3 2, 3 3 は、第 1 コンタクトホールパターン 2 6 ～ 3 1 とは別に形成され、第 2 コンタクトホールパターン 3 2, 3 3 内にもプラグ部となるポリシリコンが杭状に埋め込まれる。

【 0 0 7 8 】

上述の第 1 コンタクトホールパターン 2 6 ～ 3 1 および第 2 コンタクトホールパターン 3 2, 2 2 よりも上層に、図 4 に示すように、第 2 配線パターン 3 8 ～ 4 1、第 3 コンタクトホールパターン（コンタクト部） 3 4 ～ 3 7 および第 4 コンタクトホールパターン（コンタクト部） 4 2 ～ 4 5 を形成する。

【 0 0 7 9 】

第3コンタクトホールパターン34～37は、第1コンタクトホールパターン26, 27, 30, 31内に形成されたポリシリコンプラグ上に配置され、第2配線パターン38～41と接続される。

【0080】

第2配線パターン38～41は、たとえばタングステン配線パターンであり、第2配線パターン38, 39がビット線となり、第2配線パターン40, 41がGND線となる。したがって、第3コンタクトホールパターン34, 35がGND線コンタクト部に対応し、第3コンタクトホールパターン36, 37がビット線コンタクト部に対応する。

【0081】

なお、記憶ノードへの電流の流入量を制限するために、ビット線コンタクト部下の活性領域内の不純物濃度を、GND線コンタクト部下の活性領域内の不純物濃度よりも低くすることが好ましい。また、ビット線コンタクト部の面積をGND線コンタクト部の面積よりも小さくすることで、上記流入量を制限するようにしてもよい。

【0082】

図4に示すように、1組のビット線を間に挟むように1組のGND線を配置する。つまり、1組のビット線の両側にGND線を配置する。それにより、GND線によるシールド効果が得られる。したがって、隣接するメモリセルのビット線からのノイズに対する耐性を向上することができる。

【0083】

また、ワード線の延在方向と直交する方向にGND線を延在させることで、1つのワード線を選択した際に、そのワード線に接続されるメモリセルからGND線に流れ込む電流が、各メモリセルと接続されたGND線にそれぞれ流れ込むこととなる。よって、ワード線と接続される全てのメモリセルからの電流が所定のGND線に集中するのを回避することができ、メモリセル内のGNDレベルの上昇を抑制することができる。それにより、GNDレベルの上昇に起因する読出し時のデータ反転を防止することができる。

【0084】

さらに、上述のレイアウトでは、ワード線の延在方向に隣接するメモリセルが独立したGNDコンタクトを有しており、GNDコンタクトを共有していない。隣接するメモリセルがGNDコンタクトを共有する場合にもGNDレベルが上昇しやすくなるので、上記のようにワード線の延在方向に隣接するメモリセルがGNDコンタクトを共有しないことにより、メモリセル内のGNDレベルの上昇を抑制することができる。

【0085】

第4コンタクトホールパターン42、43は、第2コンタクトホールパターン32、33上に位置し、第4コンタクトホールパターン42、43内に形成されるプラグ部と、第2コンタクトホールパターン32、33内に形成されるプラグ部とが電氣的に接続される。

【0086】

第4コンタクトホールパターン44、45は、第1コンタクトホールパターン28、29上に位置し、第4コンタクトホールパターン44、45内に形成されるプラグ部と、第1コンタクトホールパターン28、29内に形成されるプラグ部とが電氣的に接続される。

【0087】

上述の第2配線パターン38～41、第3コンタクトホールパターン34～37および第4コンタクトホールパターン42～45よりも上層に、図5に示すように、第3配線パターン46、47および第4配線パターン48、49を形成する。この第3配線パターン46、47および第4配線パターン48、49により、TF Tが形成される。

【0088】

第3配線パターン46、47は、たとえばポリシリコンで構成され、クロスカップリング配線と、TF Tのゲート電極とを兼ねている。第4コンタクトホールパターン43、45内のプラグ部は、第3配線パターン47と電氣的に接続される。したがって、第3配線パターン47は、第1コンタクトホールパターン29と第2コンタクトホールパターン33を介して、第1配線パターン（ドライバトランジスタのゲート電極）20および活性領域24上の記憶ノードと接続される。

こととなる。

【0089】

第4コンタクトホールパターン42, 44内のプラグ部は、第3配線パターン46と電氣的に接続される。したがって、第3配線パターン46は、第1コンタクトホールパターン28と第2コンタクトホールパターン32を介して、第1配線パターン（ドライバトランジスタのゲート電極）21および活性領域23上の記憶ノードと接続されることとなる。

【0090】

図5に示すように、第3配線パターン46, 47は、略三角形形状を有している。好ましくは、第3配線パターン46, 47の形状を、直角三角形に類似した形状とする。それにより、TFTのチャンネル長を長く確保しながら、インバータのクロスカップリング配線の抵抗を低減することができる。

【0091】

これに対し、図9に示すように、第3配線パターン46, 47をL字型のパターンとすると、インバータのクロスカップリング配線の長さが長くなる。そのため、図10に示すようにインバータのクロスカップリング配線間に余分な抵抗成分88, 89が付加されたのと等価な状態となり、書込み動作遅延の要因となる。

【0092】

第4配線パターン48, 49は、たとえばポリシリコンで構成され、それぞれTFTのドレイン領域480, 490、チャンネル領域481, 491、ソース領域482, 492およびVdd配線部483, 493を含む。Vdd配線部483, 493は、ワード線の延在方向と同方向に延在する。

【0093】

ドレイン領域480, 490は、図6に示す第5コンタクトホールパターン50, 51内のプラグ部を介して第3配線パターン46, 47と電氣的に接続される。それにより、一方のTFTのゲート電極を他方のTFTのドレインと電氣的に接続することができ、他方のTFTの出力を一方のTFTに入力する、クロスカップリング構造を実現することができる。

【 0 0 9 4 】

また、第 5 コンタクトホールパターン 5 0， 5 1 の外周に沿って延在するように第 4 配線パターン 4 8， 4 9 を屈曲形状とする。より詳しくは、第 4 配線パターン 4 8， 4 9 に、ワード線の延在方向と直交する方向に延びる部分（チャンネル部分）と、ワード線の延在方向と平行な方向に延びる部分（ドレイン部分）とを設け、これらの部分によって T F T のドレインコンタクトの周囲を部分的に囲むようにする。第 4 配線パターン 4 8， 4 9 の一部をこのような屈曲形状とすることにより、T F T のチャンネル長を長くすることができる。その結果、T F T がオフしたときのリーク電流を低減することができ、データ保持時の消費電流を低減することができる。

【 0 0 9 5 】

上記の第 3 配線パターン 4 6， 4 7 および第 4 配線パターン 4 8， 4 9 よりも上層に、図 6 に示すように、第 5 コンタクトホールパターン 5 0， 5 1 および容量素子パターン 5 2， 5 3 を形成する。

【 0 0 9 6 】

第 5 コンタクトホールパターン 5 0 は、容量素子パターン 5 2 の下部電極（第 1 電極）と、T F T のドレイン領域 4 8 0 および第 3 配線パターン 4 7 とを電氣的に接続する。また、第 5 コンタクトホールパターン 5 1 は、容量素子パターン 5 3 の下部電極（第 1 電極）と、T F T のドレイン領域 4 9 0 および第 3 配線パターン 4 6 とを電氣的に接続する。

【 0 0 9 7 】

容量素子パターン 5 2， 5 3 としては、たとえば筒型キャパシタを挙げることができる。図 4 の例では、容量素子パターン 5 2， 5 3 の平面形状は長方形であるが、容量素子パターン 5 2， 5 3 の平面形状は、円形、三角形、正方形、五角形以上の多角形など任意形状とすることができる。容量素子パターン 5 2， 5 3 は、それぞれ上述の下部電極（第 1 電極）、キャパシタ絶縁膜（誘電体膜）および上部電極（第 2 電極）を有する。

【 0 0 9 8 】

容量素子パターン 5 2， 5 3 の下部電極は、第 5 コンタクトホールパターン 5

0, 51 を介して第3配線パターン46, 47と電氣的に接続される。したがって、容量素子パターン52, 53の下部電極は、TFTのゲート電極としても機能することとなる。

【0099】

つまり、TFTのチャネル領域481, 491は、容量素子パターン52, 53の下部電極と、TFTのゲート電極とに上下から挟まれることとなり、TFTは、いわゆるダブルゲート構造を有することとなる。それにより、TFTのオン／オフ電流比を向上することができる。

【0100】

なお、図7に示すように、容量素子パターン52, 53の平面形状を、第3配線パターン46, 47のそれと同様の形状とすることもできる。この場合には、容量素子パターン52, 53の形成の際に、第3配線パターン46, 47の形成用マスクを利用することができ、マスク数を低減することができる。

【0101】

(実施の形態2)

次に、図11を用いて本発明の実施の形態2について説明する。上述の実施の形態1では、負荷素子としてTFTを採用した例について説明したが、図11に示すように、負荷素子として抵抗素子18, 19を使用することができる。

【0102】

抵抗素子18, 19としては、たとえば不純物を含むポリシリコン層等を使用することができる。このように負荷素子として抵抗素子18, 19を使用することにより、TFTを採用する場合と比較してメモリセルの構成を簡素化することができる。

【0103】

なお、抵抗素子18, 19は、TFTと同じレイヤ、たとえば図8の例では第3層間絶縁膜73上に形成すればよい。それ以外の構成については実施の形態1と同様である。

【0104】

(実施の形態3)

次に、図 1 2 ～ 図 1 4 を用いて本発明の実施の形態 3 について説明する。上述の実施の形態 1 では、T F T のゲートを T F T のソースおよびドレインを形成する配線の下側（半導体基板側）に配置したが、本実施の形態 3 では、T F T のゲートを T F T のソースおよびドレインを形成する配線の上側に配置する。それにより、T F T がオン状態の時の電流量を増大することができる。

【 0 1 0 5 】

図 1 2 に示すように、本実施の形態 3 では、T F T のゲートとなる第 3 配線パターン 4 6 a, 4 7 a を、T F T のソース領域、チャネル領域、ドレイン領域および V d d 配線部を含む第 4 配線パターン 4 8, 4 9 よりも上層に配置している。また、第 3 配線パターン 4 6 a, 4 7 a を、クロスカップリング配線を形成する導電層とは別の導電層で構成し、クロスカップリング配線用の導電層よりも上層に形成する。

【 0 1 0 6 】

さらに、第 3 配線パターン 4 6 a, 4 7 a の形状を、図 5 等における第 3 配線パターン 4 6, 4 7 の形状と異ならせている。具体的には、第 3 配線パターン 4 6 a, 4 7 a の斜辺を、鋸歯のように凸凹が交互に並んだ形状としている。

【 0 1 0 7 】

図 1 3 に示すように、第 3 配線パターン 4 6 a, 4 7 a 上に第 6 コンタクトホールパターン 5 4, 5 5 を形成し、該第 6 コンタクトホールパターン 5 4, 5 5 上に容量素子パターン 5 2, 5 3 を形成する。第 6 コンタクトホールパターン 5 4, 5 5 は、第 3 配線パターン 4 6 a, 4 7 a と容量素子パターン 5 2, 5 3 とをそれぞれ電氣的に接続する。

【 0 1 0 8 】

次に、本実施の形態 3 における半導体記憶装置のメモリセルの断面構造例について図 1 4 を用いて説明する。

【 0 1 0 9 】

図 1 4 に示すように、第 4 層間絶縁膜 7 4 上に T F T ボディ部 8 1 となる導電層を形成し、該 T F T ボディ部 8 1 上に延在するように第 4 層間絶縁膜 7 4 上に酸化膜等の絶縁膜（ゲート絶縁膜） 9 1 を形成する。

【0 1 1 0】

絶縁膜 9 1 および T F T ボディ部 8 1 を貫通して導電層 8 0 a に達するように第 5 コンタクトホール 8 2 を形成する。上記の導電層 8 0 a が、クロスカップリング配線として機能する。第 5 コンタクトホール 8 2 内から絶縁膜 9 1 上に延在するようにドーフトポリシリコン等の導電層を形成する。この導電層の一部により、T F T のゲート電極 8 0 b を形成する。

【0 1 1 1】

なお、第 5 コンタクトホール 8 2 内に別途プラグを形成し、該プラグと異なる材質の導電層を絶縁膜 9 1 上に形成することにより T F T のゲート電極 8 0 b として機能させてもよい。

【0 1 1 2】

T F T のゲート電極 8 0 b に達するように第 5 層間絶縁膜 7 5 に第 6 コンタクトホール 9 2 を形成し、該第 6 コンタクトホール 9 2 内に導電層を埋め込んでプラグを形成する。第 6 コンタクトホール 9 2 上にプラグに達するトレンチ 8 3 を形成し、該トレンチ 8 3 内に形成されるキャパシタ下部電極 8 4 と、第 6 コンタクトホール 9 2 内のプラグとを電氣的に接続する。上記以外の断面構造は、図 8 の場合とほぼ同様である。

【0 1 1 3】

以上のように本発明の実施の形態について説明を行なったが、今回開示した実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0 1 1 4】

【発明の効果】

本発明の半導体記憶装置は、ドライバ M O S トランジスタと負荷素子とをそれぞれ含む 1 対のインバータと、アクセス M O S トランジスタとを有するメモリセルを備えているので、リフレッシュ動作が不要となり、かつサイクルタイムと消費電力を通常の S R A M と同等とすることができる。それに加え、アクセス M O S トランジスタのゲート長およびゲート幅と、ドライバ M O S トランジスタのゲ

ート長およびゲート幅とを等しくしているので、メモリセルの占有面積を通常の S R A M よりも小さくすることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 における半導体記憶装置のメモリセルの等価回路図である。

【図 2】 図 1 に示すメモリセルの第 1 配線パターンと活性領域パターンのレイアウト例を示す平面図である。

【図 3】 図 1 に示すメモリセルの第 1 と第 2 コンタクトホールパターンのレイアウト例を示す平面図である。

【図 4】 図 1 に示すメモリセルの第 3 と第 4 コンタクトホールパターンと第 2 配線パターンのレイアウト例を示す平面図である。

【図 5】 図 1 に示すメモリセルの第 3 と第 4 配線パターンのレイアウト例を示す平面図である。

【図 6】 図 1 に示すメモリセルの第 5 コンタクトホールパターンと容量素子パターンのレイアウト例を示す平面図である。

【図 7】 容量素子パターンの他の形状例を示す平面図である。

【図 8】 本発明の実施の形態 1 における半導体記憶装置の部分断面図である。

【図 9】 第 3 と第 4 配線パターンの他の形状例を示す平面図である。

【図 1 0】 インバータのクロスカップリング配線間に余分な抵抗成分が付加された状態を示すメモリセルの等価回路図である。

【図 1 1】 本発明の実施の形態 2 における半導体記憶装置のメモリセルの等価回路図である。

【図 1 2】 本発明の実施の形態 3 における半導体記憶装置のメモリセルの第 3 と第 4 配線パターンのレイアウト例を示す平面図である。

【図 1 3】 本発明の実施の形態 3 における半導体記憶装置のメモリセルの第 6 コンタクトホールパターンと容量素子パターンのレイアウト例を示す平面図である。

【図 1 4】 本発明の実施の形態 3 における半導体記憶装置の部分断面図で

ある。

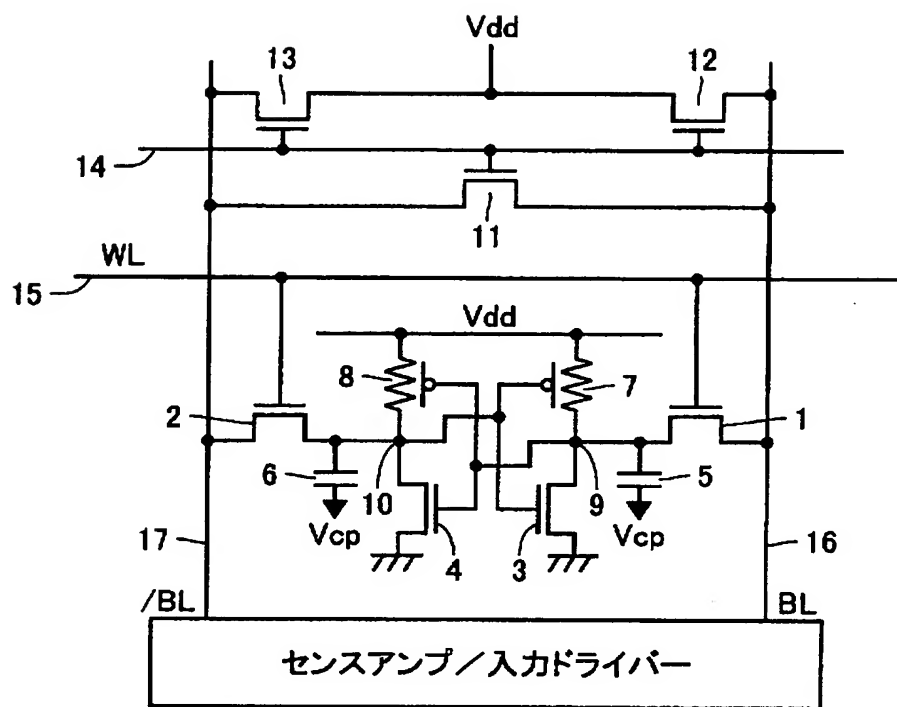
【図 1 5】 読出し動作時におけるキャパシタの容量値と記憶ノードの最大電位との関係を示す図である。

【符号の説明】

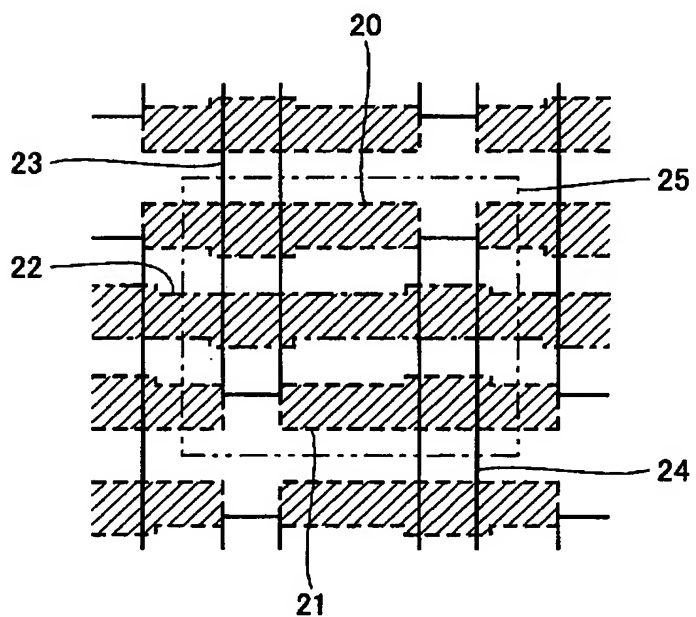
1 第1アクセスnMOSトランジスタ、2 第2アクセスnMOSトランジスタ、3 第1ドライバnMOSトランジスタ、4 第2ドライバnMOSトランジスタ、5 第1容量素子、6 第2容量素子、7 第1TFT、8 第2TFT、9 第1記憶ノード、10 第2記憶ノード、11 イコライズnMOSトランジスタ、12, 13 プリチャージnMOSトランジスタ、14 信号線、15 ワード線、16 ビット線 (BL)、17 ビット線 (／BL)、18, 19 抵抗素子、20～22 第1配線パターン、23, 24 活性領域パターン、25 メモリセル領域、26～31 第1コンタクトホールパターン、32, 33 第2コンタクトホールパターン、34～37 第3コンタクトホールパターン、38～41 第2配線パターン、42～45 第4コンタクトホールパターン、46, 46a, 47, 47a 第3配線パターン、48, 49 第4配線パターン、480, 490 ドレイン領域、481, 491 チャネル領域、482, 492 ソース領域、483, 493 Vdd配線部、50, 51 第5コンタクトホールパターン、52, 53 容量素子パターン、54, 55 第6コンタクトホールパターン、60 半導体基板、61 pウェル領域、62 素子分離領域、63 活性領域、64 n型不純物領域、65 ゲート電極、66, 79, 91 絶縁膜、67 第1コンタクトホール、68 アクセスnMOSトランジスタ、69 ドライバnMOSトランジスタ、70 第2コンタクトホール、71 第1層間絶縁膜、72 第2層間絶縁膜、73 第3層間絶縁膜、74 第4層間絶縁膜、75 第5層間絶縁膜、76 第3コンタクトホール、77 ビット線、78 第4コンタクトホール、80, 80b TFTのゲート電極、80a 導電層、81 TFTボディ部、82 第5コンタクトホール、83 トレンチ、84 キャパシタ下部電極、85 キャパシタ絶縁膜、86 キャパシタ上部電極、87 保護絶縁膜、88, 89 抵抗成分、90 記憶ノード、92 第6コンタクトホール。

【書類名】 図面

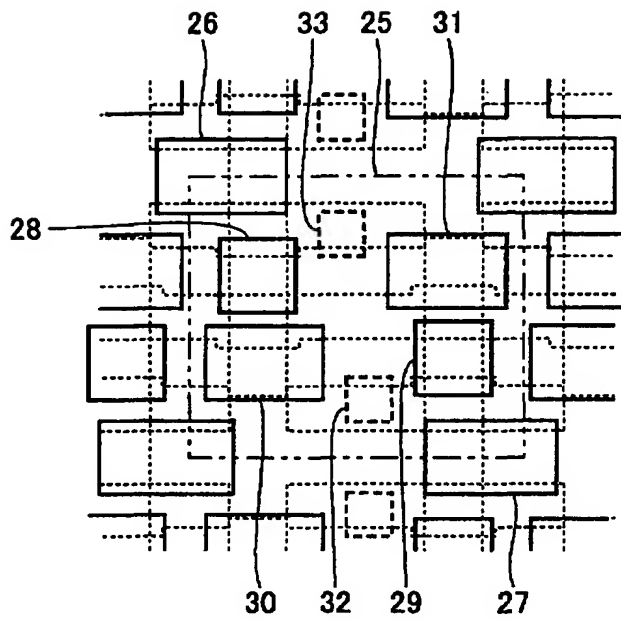
【図 1】



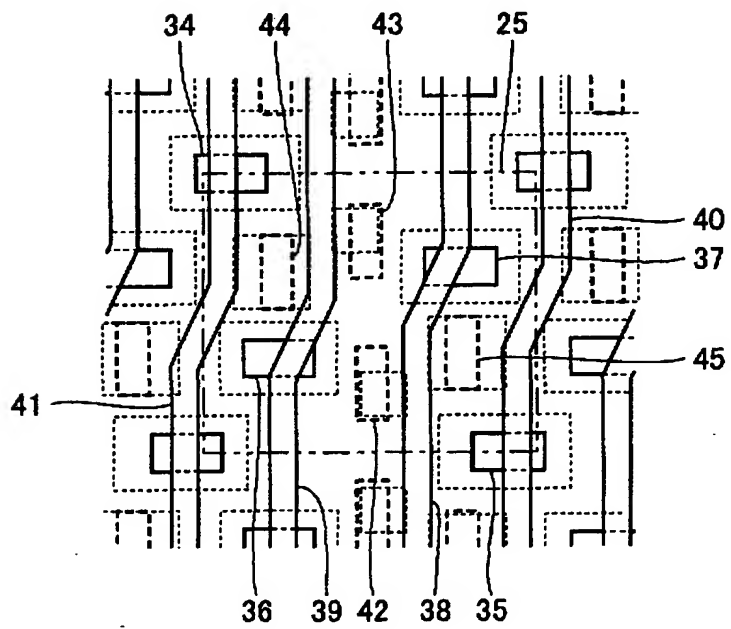
【図 2】



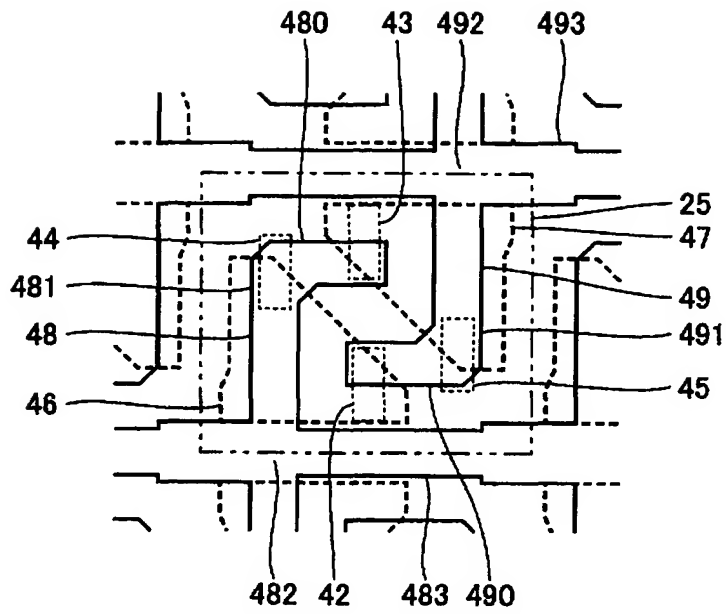
【図 3】



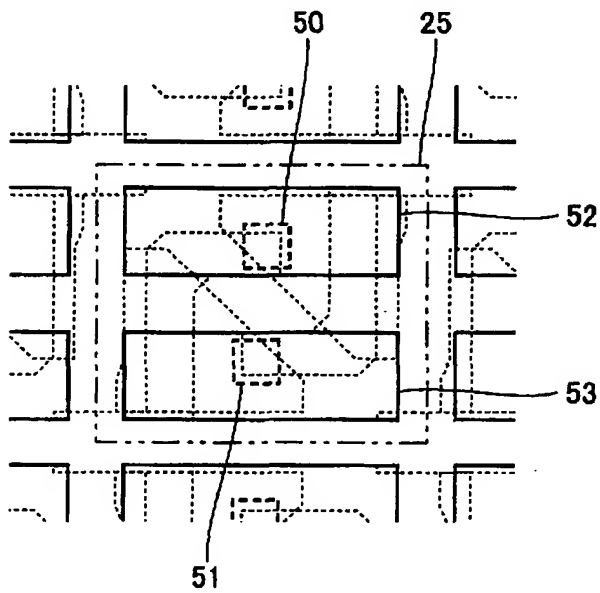
【図 4】



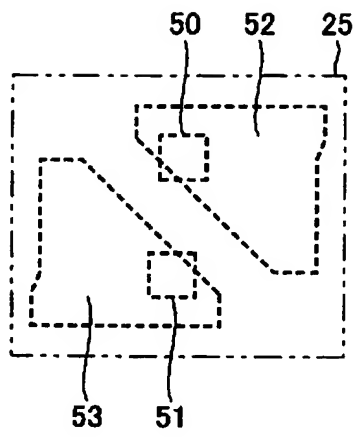
【図 5】



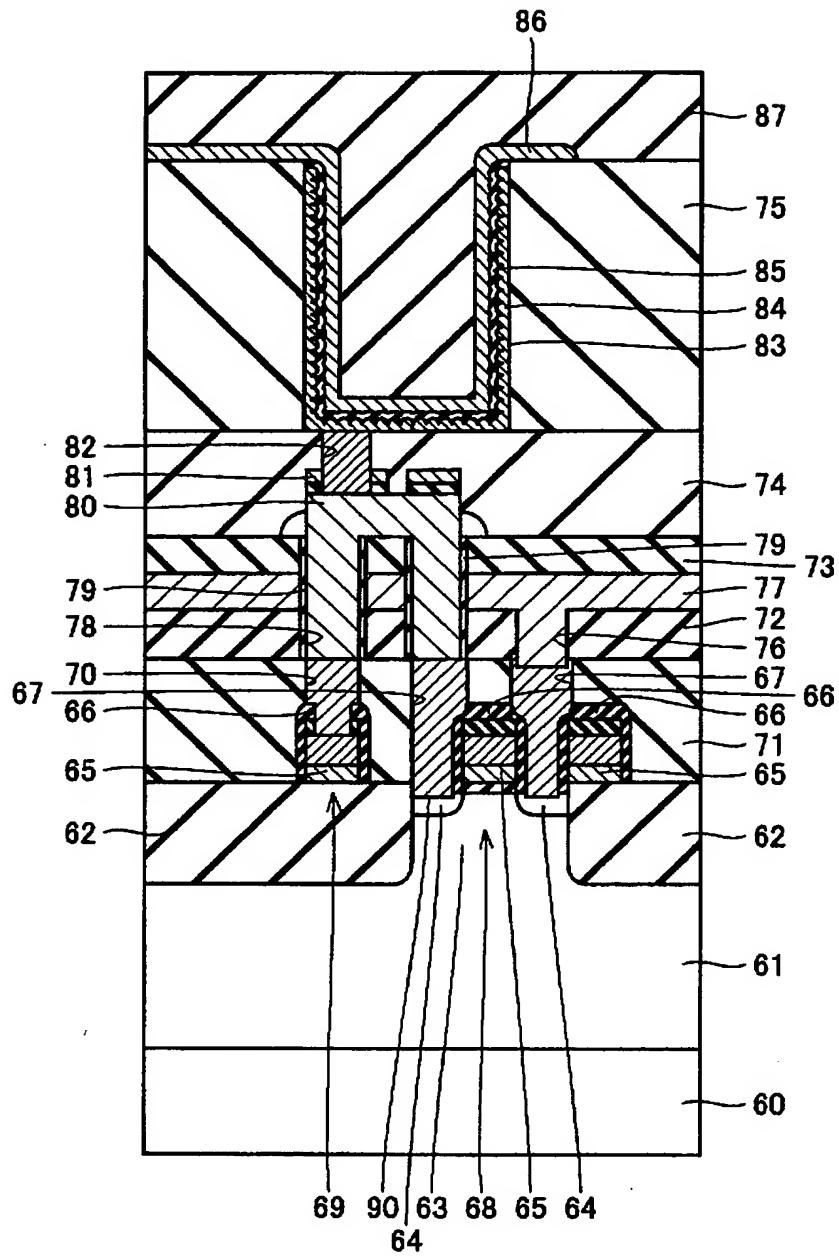
【図 6】



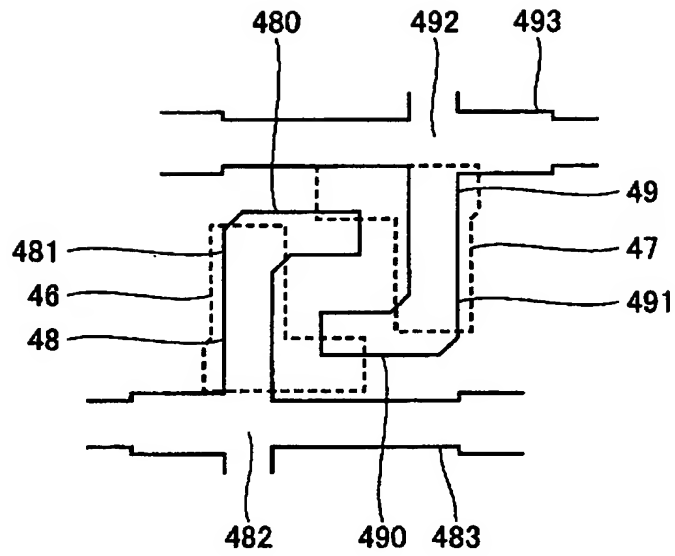
【図 7】



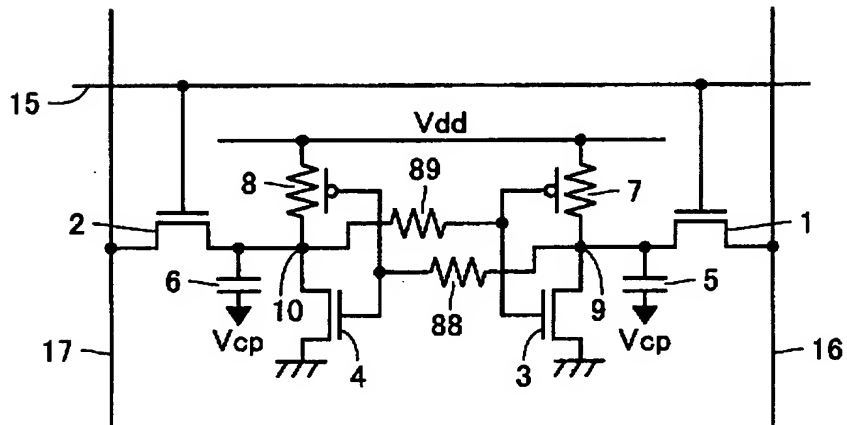
【図 8.】



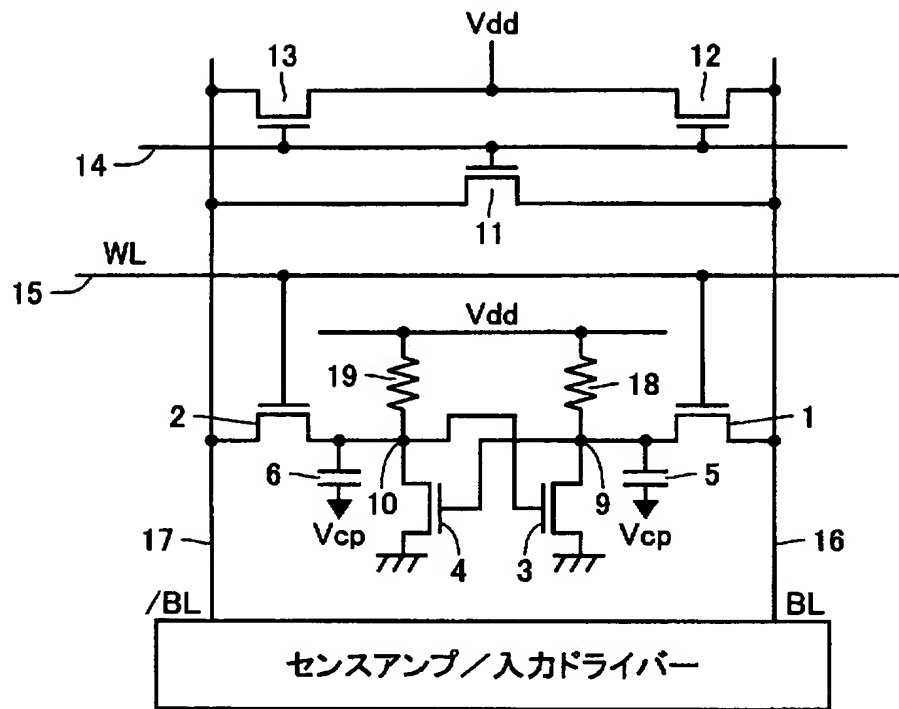
【図 9】



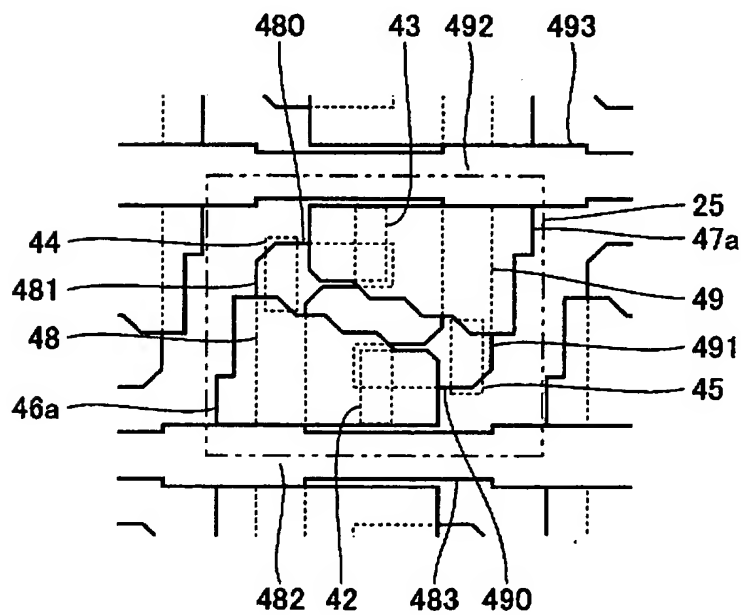
【図 1 0】



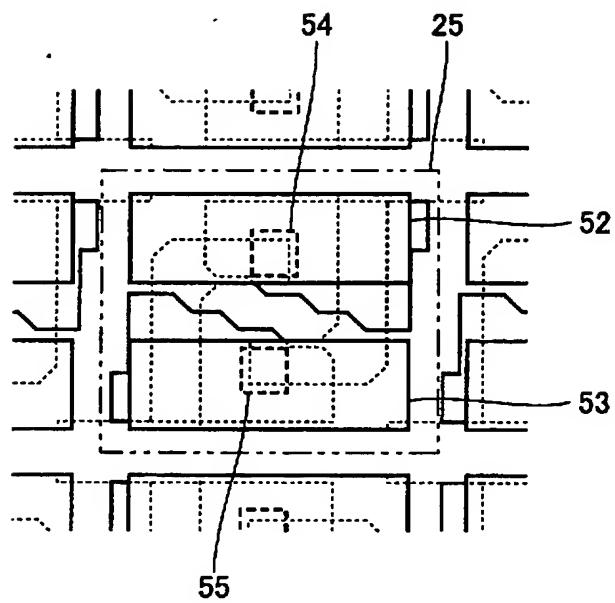
【図 1 1】



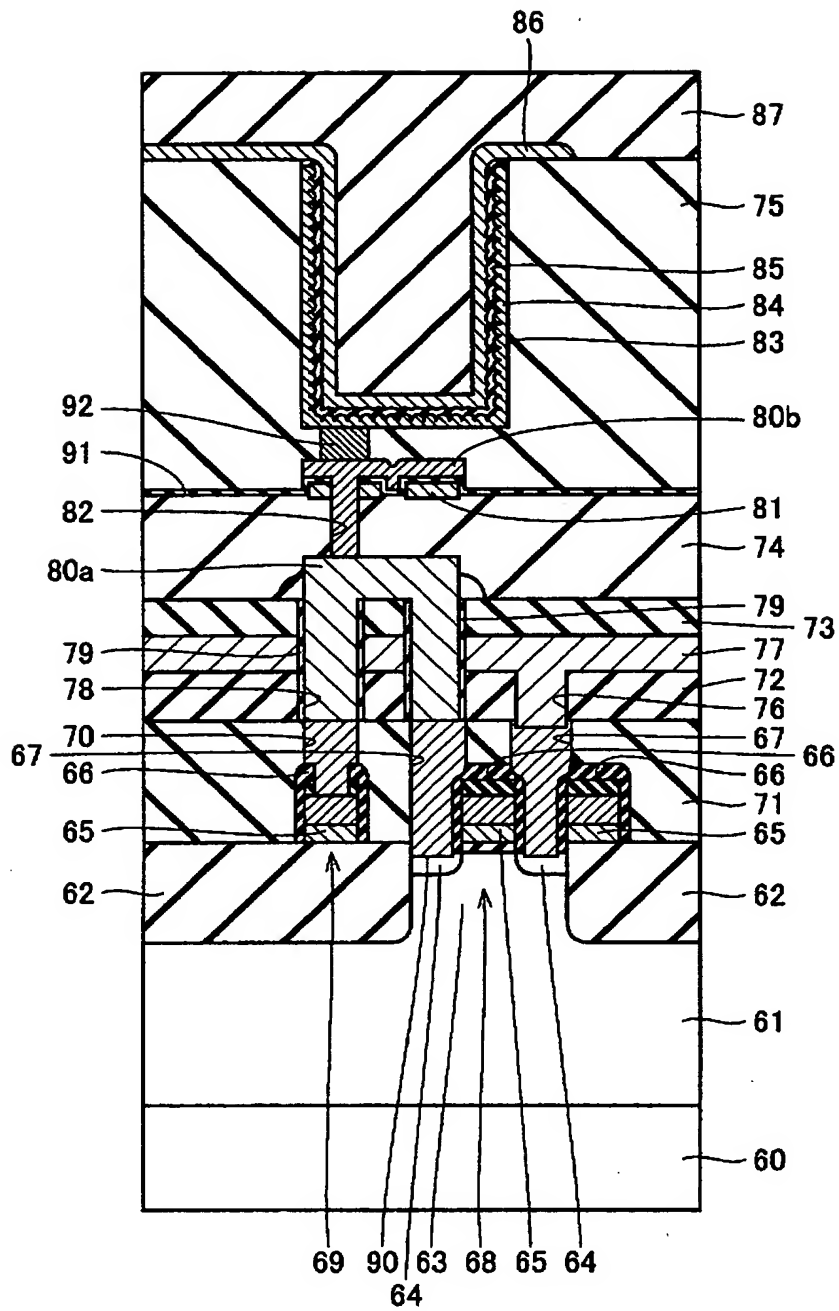
【图 12】



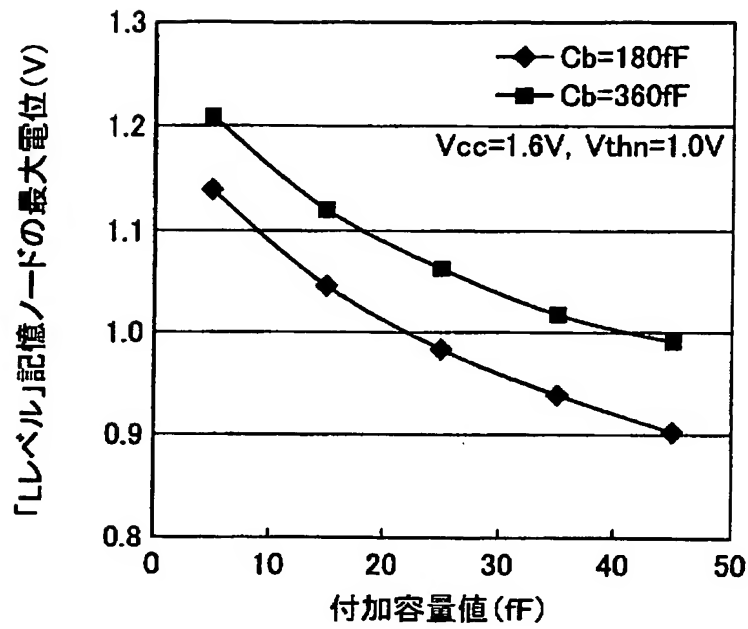
【図 1 3】



【図 14】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 リフレッシュ動作が不要で、サイクルタイムと消費電力が通常の S R A M と同等であり、かつメモリセルの占有面積が通常の S R A M よりも小さい半導体記憶装置を提供する。

【解決手段】 半導体記憶装置は、第 1 と第 2 ドライバ n M O S トランジスタ 3 , 4 と第 1 と第 2 T F T 7 , 8 とをそれぞれ含む 1 対のインバータと、第 1 と第 2 アクセス n M O S トランジスタ 1 , 2 とを有するメモリセルと、第 1 と第 2 アクセス n M O S トランジスタ 1 , 2 のドレイン、第 1 と第 2 ドライバ n M O S トランジスタ 3 , 4 のドレインおよび第 1 と第 2 T F T 7 , 8 のドレインと電氣的に接続される第 1 と第 2 容量素子 5 , 6 とを備える。そして、第 1 と第 2 アクセス n M O S トランジスタ 1 , 2 のゲート長およびゲート幅と、第 1 と第 2 ドライバ n M O S トランジスタ 3 , 4 のゲート長およびゲート幅とを等しくする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社